

## MANUFACTURE OF GROUP III-V EPITAXIAL WAFER

Publication number: JP10289906 (A)

Publication date: 1998-10-27

Inventor(s): PASSLACK MATTHIAS; ABROKWAH JONATHAN K;  
DROOPAD RAVI; OVERGARD COREY D

Applicant(s): MOTOROLA INC

Classification:

- International: H01L21/205; H01L21/02; H01L21/31; H01L21/318; H01L21/02;  
(IPC1-7): H01L21/02; H01L21/316; H01L21/205; H01L21/31

- European: H01L21/316B

Application number: JP19980067801 19980302

Priority number(s): US19970812950 19970304

Also published as:

JP4124508 (B2)

EP0863542 (A2)

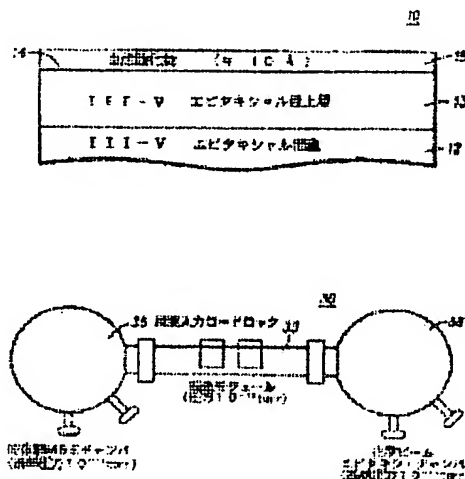
EP0863542 (A3)

US6030453 (A)

## Abstract of JP 10289906 (A)

**PROBLEM TO BE SOLVED:** To provide a compound semiconductor wafer in which a surface is protected and stability and reliability are improved.

**SOLUTION:** In a production process for protecting the surface 24 of a compound semiconductor wafer 22, a multi-wafer epitaxial production system 30 having a transfer/loading module 33, a III-V growth chamber 35 and an insulation chamber 38 is used. A wafer is disposed in the transfer/loading module, and the pressure is reduced to 10 $\times$ 10 $\times$  Torr or below. After this, the wafer is moved to the III-V growth chamber, and a compound semiconductor material layer 23 is epitaxial-grown on the surface of the wafer. Then the wafer is moved through the transfer/loading module to the insulation chamber, and using a vapor-deposition source in an oxide crucible, a gallium oxide molecule from a run-off cell is thermally vapor-deposited, so that an insulation cap layer 25 is formed. In the oxide crucible, an eutectic alloy with the vapor-deposition source is not formed.



Data supplied from the esp@cenet database — Worldwide

(51) Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 1 L 21/316		H 0 1 L 21/316	X
21/205		21/205	
21/31		21/31	B
// H 0 1 L 21/02		21/02	B

審査請求 未請求 請求項の数4 F D 外国語出願 (全 20 頁)

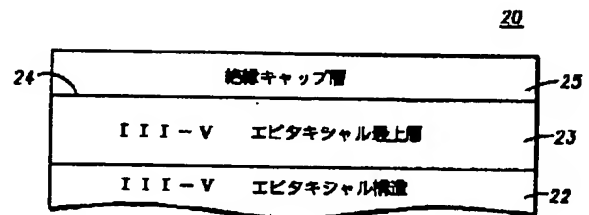
(21) 出願番号	特願平10-67801	(71) 出願人	390009597 モトローラ・インコーポレイテッド MOTOROLA INCORPORATED アメリカ合衆国イリノイ州シャンバーグ、 イースト・アルゴンクイン・ロード1303
(22) 出願日	平成10年(1998) 3月2日	(72) 発明者	マシュアス・バスラック アメリカ合衆国アリゾナ州チャンドラー、 ウエスト・リンダ・レーン5382
(31) 優先権主張番号	8 1 2 9 5 0	(72) 発明者	ジョナサン・ケイ・アプロクワ アメリカ合衆国アリゾナ州テンピ、イース ト・ランチ・ロード1963
(32) 優先日	1997年 3月4日	(74) 代理人	弁理士 本城 雅則 (外1名)
(33) 優先権主張国	米国 (US)		最終頁に続く

(54) 【発明の名称】 I I I - V 族エピタキシャル・ウェハ製造

## (57) 【要約】

【課題】 表面を保護し安定性および信頼性改善を図った化合物半導体ウェハを提供する。

【解決手段】 化合物半導体ウェハ (22) の表面 (24) を保護する生産プロセスは、転送および装填モジュール (33)、I I I - V 成長チャンバ (35) および絶縁チャンバ (38) を有するマルチ・ウェハ・エピタキシャル生産システム (30) を用いる。転送および装填モジュール内にウェハを配置し、圧力を  $\leq 10^{-10}$  Torr に減圧する。その後、ウェハを I I I - V 成長チャンバに移動し、ウェハの表面上に化合物半導体物質の層 (23) をエピタキシャル成長させる。次に、転送および装填モジュールを通じてウェハを絶縁チャンバに移動し、酸化物坩堝内の蒸着源を用い、流出セルからのガリウム酸化物分子を熱的に蒸着することによって、絶縁キャップ層 (25) を形成する。酸化物坩堝は、蒸着源との共融合金を形成しない。



## 【特許請求の範囲】

【請求項1】化合物半導体ウエハ構造の表面保護方法であって：表面（24）を有する化合物半導体ウエハ構造（22）を用意する段階；および前記ウエハ構造（22）上に絶縁物質を熱的に蒸着することによって、前記ウエハ構造の前記表面上に絶縁キャップ層（25）を形成する段階；から成ることを特徴とする方法。

【請求項2】半導体ウエハの表面保護方法であって：ⅠⅠⅠ-Ⅴ成長チャンバ（35）が取り付けられ、かつ絶縁チャンバ（38）が取り付けられた転送および装填モジュール（33）を含むマルチ・ウエハ・エピタキシャル生産システム（30）を用意する段階；表面を有する化合物半導体ウエハ（22）を用意する段階；前記転送および装填モジュール（33）内に前記化合物半導体ウエハ（22）を配置する段階；前記マルチ・ウエハ生産システム（30）内の圧力を $\leq 10^{-10}$  Torrに減圧する段階；前記化合物半導体ウエハ（22）を前記ⅠⅠⅠ-Ⅴ成長チャンバ（35）に移動し、前記化合物半導体ウエハ（22）の前記表面上に、化合物半導体物質の層（23）をエピタキシャル成長させる段階；および前記化合物半導体ウエハ（22）を前記転送および装填モジュール（33）に移動し、次いで前記絶縁チャンバ（38）に移動し、前記化合物半導体物質の層（23）上に物質を熱的に蒸着することにより、絶縁キャップ層（25）を形成する段階；から成ることを特徴とする方法。

【請求項3】半導体ウエハの表面保護方法であって：ⅠⅠⅠ-Ⅴ成長チャンバ（35）が取り付けられ、かつ絶縁チャンバ（38）が取り付けられた転送および装填モジュール（33）を含むマルチ・ウエハ・エピタキシャル生産システム（30）を用意する段階；表面を有する化合物半導体ウエハ（22）を用意する段階；前記転送および装填モジュール（33）内に前記化合物半導体ウエハ（22）を配置する段階；前記マルチ・ウエハ生産システム（30）内の圧力を $\leq 10^{-10}$  Torrに減圧する段階；前記化合物半導体ウエハ（22）を前記ⅠⅠⅠ-Ⅴ成長チャンバ（35）に移動し、前記化合物半導体ウエハ（22）の前記表面上に、化合物半導体物質の層（23）をエピタキシャル成長させる段階；前記マルチ・ウエハ・エピタキシャル生産システム（30）から前記化合物半導体ウエハ（22）を取り出すことなく、前記化合物半導体ウエハ（22）を前記転送および装填モジュール（33）に移動し、次いで前記絶縁チャンバ（38）に移動する段階；および融点 $m_{p0}$ を有する多結晶 $Ga_2O_3$ 、融点 $m_{p0}$ を有する単結晶 $Ga_2O_3$ 、および融点 $m_{p0}$ を有する $Ga_2O_3$ 成分を含有する多結晶または単結晶の内の1つの蒸着源、および該蒸着源を含む酸化物坩堝を用いて、流出セルからのガリウム酸化物分子を熱的に蒸着することにより、絶縁キャップ層（25）を形成する段階であって、前記酸化物坩堝は、融点 $m_p > m_{p0}$ であり、前記蒸着源との共融合金(eutecti

c alloy)を呈さない酸化物坩堝、および共融温度を有し、前記蒸着源の蒸着温度よりも前記共融温度の方が高い酸化物坩堝の内の一方である前記段階；から成ることを特徴とする方法。

【請求項4】化合物半導体ウエハ構造（22）であって、表面（24）、および該化合物半導体ウエハ構造（22）の前記表面（24）上に熱的に蒸着された絶縁キャップ層（25）を有することを特徴とする化合物半導体ウエハ構造（22）。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ⅠⅠⅠ-Ⅴウエハの生産に関し、更に特定すれば、ⅠⅠⅠ-Ⅴ構造の表面保護に関するものである。

## 【0002】

【従来の技術】従来技術におけるⅠⅠⅠ-Ⅴエピタキシャル・ウエハの生産では、半導体層を用いてエピタキシャル構造を完成させる。例えば、 $GaAs$ 、 $In_{1-x}Ga_xAs$ 、 $Al_{1-x}Ga_xAs$ 、 $InGaAsP$ 等のような、種々の半導体最上層が、特定の素子／回路用途および半導体基板に応じて用いられている。従来技術のエピタキシャル・ウエハの生産では、半導体最上層を用いると、その結果制御不能かつ有害な電気的特性および化学的表面特性が発生する。電子および光電素子／回路処理は複雑化し、素子／回路性能に影響が及ぶ。複雑化および劣化の度合いは、特定の素子／回路処理および用途に左右される。例えば、ユニポーラ・トランジスタ素子／回路では、プラズマ露出、フェルミ・レベル・ピンニング(Fermi level pinning)、ならびにゲート・ソースおよびゲート・ドレイン領域の不安定性によって、その生産性および性能の低下を招く。機能的かつ安定なMOSFET素子の製造は不可能であった。

【0003】制御不能かつ有害な電気的特性および表面特性は、化学的表面反応によって自然酸化物およびダングリング・ボンド(dangling bond)が発生するために生ずる。一方、表面は熱力学的に不安定であり、フェルミ・レベル・ピンニング(pinned Fermi level)を呈する。即ち、 $10^3$  Langmuir ( $1 \text{ Langmuir} = 10^{-6} \text{ Torr}$ )という低い圧力に表面を露出させた後に、 $GaAs$ 表面の高い反応性が、フェルミ・レベル・ピンニングおよび表面の不安定性を誘発する。空気(硫黄、セレンウム等)に露出した後に表面準備技法を実施することは、非効率的でありかつ不安定であることが証明されている。

【0004】従来技術では、例えば、M. Passlack et al., Appl. Phys. Lett., vol 68, 1099 (1996), Appl. Phys. Lett., vol. 68, 3605 (1996), および Appl. Phys. Lett., vol 69, 302, (1996), "Electron beam Deposition of gallium oxidethin films using a single purity crystal lyaer" と題し1995年9月19日に特許された米国特許番号第5,451,548号, "Gal

limum Oxide Coatings for Optoelectronic Devices Using Electron Beam Evaporation of a High Purity Single Crystal  $Gd_3Ga_5O_{12}$  Source"と題し1996年8月27日に特許された米国特許番号第5,550,089号において、超高真空(UHV: ultra-high vacuum)を保持しながら、 $Gd_3Ga_5O_{12}$ のe-ビーム蒸着(e-beamevaporation)を用いて、GaAs系半導体エピタキシャル層上に特定の絶縁キャップ層を現場において堆積すると、界面状態密度(interface state density)が低い熱力学的に安定なIII-V表面(界面)の製造が可能であることが報告されている。GaAsでは、重要な要素には、GaAs表面の不純物への超低圧露出(<10ないし100Langmuir)ならびにGaAsバルクおよび表面化学量論比の保存、GaAs表面酸化の完全な除外、ならびにGaAsおよび堆積される分子の界面原子に関連する特定の原子構造の必要性が含まれる。しかしながら、従来技術に記載されているプロセスは、dc不安定性および低い信頼性に妨げられるために、製造は不可能である。

【0005】したがって、これらの問題を克服する新しい製造方法を提供することができれば、非常に有利であろう。

【0006】

【発明が解決しようとする課題】本発明の目的は、新規で改良されたIII-Vエピタキシャル・ウエハ生産プロセスを提供することである。

【0007】本発明の他の目的は、安定性および信頼性改善を図った新規で改良されたIII-Vエピタキシャル・ウエハを提供することである。

【0008】本発明の更に他の目的は、製造および使用が比較的簡単な、新規で改良されたIII-Vウエハを提供することである。

【0009】

【課題を解決するための手段】上述のおよびその他の問題の少なくとも部分的な解決、ならびに上述のおよびその他の目的の実現は、本発明の化合物半導体ウエハ構造の表面保護方法において達成される。この方法は、表面を有する化合物半導体ウエハ構造を用意する段階と、ウエハ構造上で絶縁物質を熱的に蒸着させることにより、ウエハ構造の表面上に絶縁キャップ層を形成する段階とを含む。

【0010】具体的な半導体生産プロセスでは、マルチ・ウエハ・エピタキシャル生産システムを用意する。このシステムは、III-V成長チャンバおよび絶縁物チャンバが取り付けられた転送および装填モジュールを含む。表面を有する化合物半導体ウエハをこの転送および装填モジュール内に配置し、マルチ・ウエハ生産システム内の圧力を $\leq 10^{-10}$  Torrに減圧する。化合物半導体ウエハをIII-V成長チャンバに移動し、化合物半導体物質の層を、化合物半導体ウエハの表面上にエピタキ

シャル成長させる。次に、マルチ・ウエハ生産システムから取り出すことなく、化合物半導体ウエハを転送および装填モジュールに移動し、更に絶縁チャンバに移動する。化合物半導体物質の層上に物質を熱的に蒸着することによって、絶縁キャップ層を形成する。

【0011】

【発明の実施の形態】具体的に図1を参照すると、従来技術のIII-V化合物半導体ウエハ10が示されている。ウエハ10は、基板、およびその上面上にエピタキシャル的に形成された1層以上のIII-V物質を含む。この開示の目的のために、基板およびその上に形成されたあらゆるエピタキシャル層のことを、単に化合物半導体ウエハ構造と呼ぶことにする。これは、図1では12で示されている。化合物半導体ウエハ構造12は、上面14のある最上層13を有する。化合物半導体ウエハ構造12または最上層13を周囲状態(空気、処理環境等)に露出させると常に、自然酸化物の層15が表面上に形成される。通常、層15は非常に薄く、厚さは約10オングストローム程度である。最上層13および自然酸化物層15間の界面は、熱力学的に不安定であり、フェルミ・レベル・ピンニングを呈する。

【0012】本発明にしたがって形成された化合物半導体ウエハ構造20を図2に示す。化合物半導体ウエハ構造20は、概略的に、基板、およびその上面上にエピタキシャル的に形成された1層以上のIII-V物質を含む。以降、この層を22で示すことにする。化合物半導体ウエハ構造20は、上面24のある最上層23を有する。勿論、特定用途によっては(または、化合物半導体ウエハ構造20のある部分では)、基板上にエピタキシャル層がない場合もあり、上面24が単に基板の上面となっている場合もあることは理解されよう。化合物半導体ウエハ構造20の表面24上に、絶縁キャップ層25を熱的に蒸着する。

【0013】次に図3に移ると、マルチ・ウエハ・エピタキシャル生産システム30が示されている。これは、本発明による図2の化合物半導体ウエハ構造20を製造する際に用いられる。システム30は、転送および装填モジュール33、この転送および装填モジュール33に取り付けられたIII-V成長チャンバ35、および転送および装填モジュール33に取り付けられた絶縁チャンバ38を含む。各チャンバ35、38が転送および装填モジュール33に取り付けられているので、ウエハ、チップ等は、システム30から取り出すことなく、各チャンバ内で処理することができる。したがって、一旦ウエハをシステム30に導入し真空状態としたなら、ウエハは、処理が完了するまで、環境には晒されない。

【0014】したがって、本発明による化合物半導体ウエハ構造の表面を保護するプロセスの一例として、化合物半導体ウエハを転送および装填モジュール33内に配置し、マルチ・ウエハ生産システム30内の圧力を $\leq 1$

0-10 Torrに減圧する。次に、ウエハをIII-V成長チャンバ35に移動し、化合物半導体物質の1つ以上の層を、表面上にエピタキシャル成長させ、化合物半導体ウエハ構造(例えば、化合物半導体ウエハ構造20)を生産する。最上層23の成長の後、化合物半導体ウエハ構造20を転送および装填モジュール33に移動し、次いで絶縁チャンバ38に移動する。絶縁チャンバ38内において、ウエハ構造20上に絶縁物質を熱的に蒸着することによって、化合物半導体ウエハ構造20の表面24上に、絶縁キャップ層25を形成する。

【0015】本プロセスの好適実施例では、酸化物坩堝(oxide crucible)において蒸着源(evaporation source)を用い、流出セル(effusion cell)からのガリウム酸化物分子を熱的に蒸着することによって、ウエハ構造20の表面24上に、絶縁キャップ層25を熱的に蒸着する。蒸着源は、融点 $m_p$ を有する多結晶 $Ga_2O_3$ 、融点 $m_p$ を有する単結晶 $Ga_2O_3$ 、あるいは融点 $m_p$ を有する $Ga_2O_3$ 成分を含有する多結晶または単結晶物質の1つから選択する。蒸着源を含む酸化物坩堝は、融点が $m_p > m_{p0}$ の蒸着源との共融合金(eutectic alloy)を呈さない酸化物坩堝、または共融温度を有し蒸着源の蒸着温度よりも共融温度の方が高い酸化物坩堝のいずれかから選択する。更に、酸化物坩堝は、比較的高いバンドギャップ、即ち、通常 $\geq 4$  eVを有する物質で形成することが好ましい。

【0016】ある特定例では、酸化物坩堝は、以下の物質の1つで形成する。 $BeO$  ( $m_p = 2507^\circ C$ )、 $ZrO_2$  ( $m_p = 2710^\circ C$ )、 $HfO_2$  ( $m_p = 2774^\circ C$ )、 $La_2O_3$  ( $m_p = 2305^\circ C$ )、 $Al_2O_3$  ( $m_p = 2050^\circ C$ )、または $ThO_2$  ( $m_p = 3390^\circ C$ )。上述の物質の1つを酸化物坩堝に使用する場合、蒸着源は、多結晶または単結晶 $Ga_2O_3$ 、あるいは $Ga_2O_3$ 成分を含有する多結晶または単結晶材料( $m_{p0} = 1725^\circ C$ )とする。他の特定例では、酸化物坩堝は、以下の材料の1つで形成する。 $ZrO_2$  ( $m_p = 2710^\circ C$ )、 $HfO_2$  ( $m_p = 2774^\circ C$ )、 $La_2O_3$  ( $m_p = 2305^\circ C$ )、 $Al_2O_3$  ( $m_p = 2050^\circ C$ )、または $ThO_2$  ( $m_p = 3390^\circ C$ )。この場合、蒸着源は、 $Gd_3Ga_5O_{12}$  ( $m_{p0} = 1700^\circ C$ )および $MgGa_2O_4$  ( $m_{p0} = 1700^\circ C$ )の一方を含む。

【0017】このようにして、絶縁キャップ層25を適所に配するまで、化合物半導体ウエハ構造20を周囲条件に露出することから保護する。図3のシステム30において絶縁キャップ層25を形成するので、構造即ちエピタキシャル層は、周囲条件には決して晒されることはなく、基板またはエピタキシャル層および絶縁キャップ層25間の界面は、熱力学的に安定であり、卓越した電気的特性を有する。 $GaAs$ 表面およびその上に堆積した酸化物層を有する化合物半導体ウエハ構造の特定例で

は、 $GaAs-Ga_2O_3$ 界面は、単一層急峻性(monolayer abruptness)を呈し、酸化物の表面荒さ(rms)は $\leq 2.5$ オングストロームである。また、製造したウエハ全体にわたって界面状態密度には、卓越した均一性があることもわかった。界面状態密度は、全体として、従来技術の密度( $10^{10} cm^{-2} eV^{-1}$ )に比肩し得るか、あるいはこれよりも優れている。更に、 $Gd_3Ga_5O_{12}$ を蒸着源として用いた特定例では、 $Ga_2O_3$ 膜が含むGdレベルは、図4のグラフ表現に示すように、選択イオン質量分光分析(SIMS: Selective Ion Mass Spectroscopy)の検出限界未満であることもわっている。

【0018】開示したプロセスのウエハ構造上に熱的に蒸着した絶縁層は、従来技術のエピタキシャル生成物の露出した半導体表面に置き換わり、埋め込みエピタキシャル半導体表面は電気的および化学的に安定で、卓越した電気的特性を呈する。このように、新規な表面保護プロセスにしたがって製造した、改良された化合物半導体ウエハ構造は、以下の利点を有する。まず、半導体エピ層構造およびその中に形成される素子/回路の卓越した電気的および化学的特性、パシベーションならびに保護性能を有すること、半導体エピ層構造およびその中に形成される素子/回路の卓越した電子および化学表面特性の安定性、素子/回路処理の簡略化、素子/回路の再現性および信頼性向上が得られること、更に、電子的パシベーションの処理および保存の間半導体表面の重要な部分が露出されないことがあげられる。

【0019】これらの改良によって、dc不安定性や低い信頼性のような従来技術の問題が本質的に解決即ち克服されるため、生産性の高いプロセスが得られる。

【0020】以上、本発明の特定実施例について示しかつ説明したが、更に別の変更や改良も当業者には想起されよう。したがって、本発明は、ここに示した特定形態には限定されないと理解されることを望み、本発明の精神および範囲から逸脱しない変更は全て特許請求の範囲に含まれることを意図するものである。

#### 【図面の簡単な説明】

【図1】表面上に自然酸化物が形成されている、従来技術の化合物半導体基板の簡略断面図。

【図2】本発明による、エピタキシャル層およびキャップ層を有する化合物半導体基板の簡略断面図。

【図3】本発明にしたがって図2の構造を製造する際に利用するマルチ・ウエハ・エピタキシャル生産システムを示す図。

【図4】 $Gd_3Ga_5O_{12}$ を蒸着源とした場合の、 $Ga_2O_3$ 膜における近似濃度およびイオン強度を示すグラフ。

#### 【符号の説明】

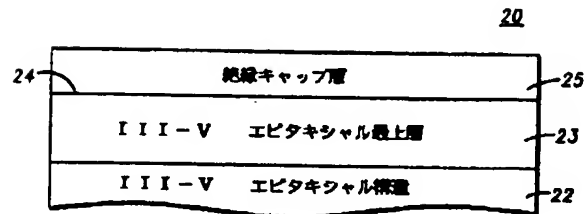
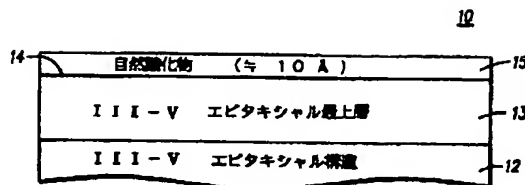
- 10 III-V化合物半導体ウエハ
- 12 化合物半導体ウエハ構造

- 13 最上層
- 14 上面
- 15 自然酸化層
- 20 化合物半導体ウエハ構造
- 22 層
- 23 最上層

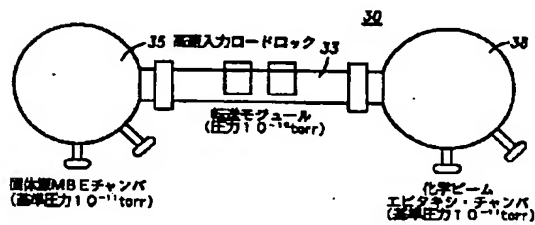
- 24 上面
- 25 絶縁キャップ層
- 30 マルチ・ウエハ・エピタキシャル生産システム
- 33 転送および装填モジュール
- 35 I I I - V 成長チャンバ
- 38 絶縁チャンバ

【図1】

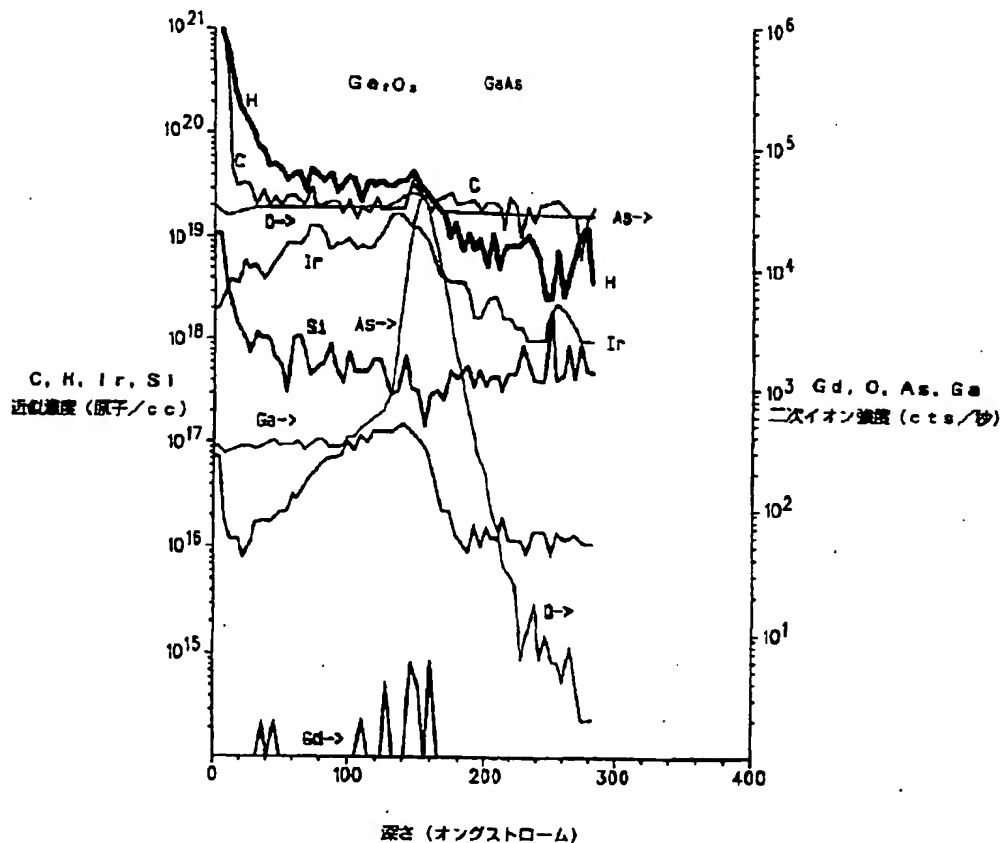
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 ラビ・デュルーバッド  
アメリカ合衆国アリゾナ州テンピ、イース  
ト・ジェミニ・ドライブ1854

(72)発明者 コレイ・ディー・オーバーガード  
アメリカ合衆国アリゾナ州フェニックス、  
ウエスト・マルベリー・ドライブ2034

## 【外国語明細書】

## III-V EPITAXIAL WAFER PRODUCTION

## Field of the Invention

The present invention pertains to III-V wafer production and more specifically to surface protection of III-V structures.

## Background of the Invention

Prior art III-V epitaxial wafer production employs a semiconductor layer to complete the epitaxial structure. Various semiconducting top layers are being used, for example GaAs,  $\text{In}_{1-x}\text{Ga}_x\text{As}$ ,  $\text{Al}_{1-x}\text{Ga}_x\text{As}$ , InGaAsP, etc., depending on the specific device/circuit application and semiconductor substrate. The use of semiconducting top layers in prior art epitaxial wafer production results in uncontrollable and detrimental electrical and chemical surface properties. Electronic and optoelectronic device/circuit processing is complicated and device/circuit performance is affected. The degree of complication and degradation is subject to the particular device/circuit processing and application. For example, the fabrication and performance of unipolar transistor devices/circuits is hampered by plasma exposure, Fermi level pinning, and instability of the gate-source and gate-drain regions. The fabrication of functional and stable MOSFET devices has been impossible.

Uncontrollable and detrimental electrical and surface properties are caused by chemical surface reactions resulting in the formation of native oxides and dangling bonds. In turn, the surface is rendered thermodynamically unstable and exhibits a pinned Fermi level. Specifically,



the high GaAs surface reactivity induces Fermi level pinning and surface instability after surface exposure as small as 103 Langmuirs (1 Langmuir =  $10^{-6}$  Torr). Surface preparation techniques conducted after exposure to air (sulfur, selenium, etc.) have proven to be inefficient and unstable.

Prior art, for instance, M. Passlack et al., Appl. Phys. Lett., vol 68, 1099 (1996), Appl. Phys. Lett., vol. 68, 3605 (1996), and Appl. Phys. Lett., vol 69, 302, (1996), U.S. Patent No. 5,451,546, entitled "Electron beam Deposition of gallium oxide thin films using a single purity crystal layer", issued Sept. 19, 1995, and U.S. Patent No. 5,550,085, entitled "Gallium Oxide Coatings for Optoelectronic Devices Using Electron Beam Evaporation of a High Purity Single Crystal  $Gd_3Ga_5O_{12}$  Source", issued August 27, 1996, reported that thermodynamically stable, III-V surfaces (interfaces) with low interface state density can be fabricated when a specific insulating cap layer is deposited in-situ on GaAs based semiconductor epitaxial layers using e-beam evaporation of  $Gd_3Ga_5O_{12}$  while maintaining ultra-high vacuum (UHV). For GaAs, pivotal aspects include an extremely low GaAs surface exposure to impurities ( $<10^{-6}$  - 100 Langmuirs) and the preservation of GaAs bulk and surface stoichiometry, the complete exclusion of GaAs surface oxidation, and the requirements of a specific atomic structure associated with the interfacial atoms of GaAs and the deposited molecules. However, the process described in the prior art is not manufacturable since it is plagued by dc instability and poor reliability.

Accordingly, it would be highly advantageous to provide new methods of manufacturing which overcome these problems.

It is a purpose of the present invention to provide a new and improved III-V epitaxial wafer production process.

It is another purpose of the present invention to provide a new

and improved III-V epitaxial wafer with improved stability and reliability.

It is still another purpose of the present invention to provide a new and improved III-V wafer which is relatively easy to fabricate and use.

#### Summary of the Invention

The above problems and others are at least partially solved and the above purposes and others are realized in a method of protecting the surface of a compound semiconductor wafer structure including the steps of providing a compound semiconductor wafer structure with a surface and forming an insulating cap layer on the surface of the wafer structure by thermally evaporating insulating material onto the wafer structure.

In a specific semiconductor production process, a multi-wafer epitaxial production system is provided including a transfer and load module with a III-V growth chamber attached and an insulator chamber attached. A compound semiconductor wafer with a surface is placed in the transfer and load module and the pressure in the multi-wafer production system is reduced to  $< 10^{-10}$  Torr. The compound semiconductor wafer is moved to the III-V growth chamber and layers of compound semiconductor material are epitaxially grown on the surface of the compound semiconductor wafer. The compound semiconductor wafer is then moved to the transfer and load module and then to the insulator chamber, without removing it from the multi-wafer production system, and an insulating cap layer is formed by thermally evaporating material onto the layer of compound semiconductor material.

#### Brief Description of the Drawings

Referring to the drawings:

FIG. 1 illustrates a simplified cross-sectional view of a prior art compound semiconductor substrate with a native oxide formation on the surface thereof;

FIG. 2 illustrates a simplified cross-sectional view of a compound semiconductor substrate with epitaxial and cap layers in accordance with the present invention;

FIG. 3 illustrates a multi-wafer epitaxial production system utilized in fabricating the structure of FIG. 2 in accordance with the present invention; and

FIG. 4 is a graphical representation of approximate concentrations and ion intensities in a  $\text{Ga}_2\text{O}_3$  film in the case of  $\text{Ga}_2\text{Ga}_3\text{O}_{12}$  as an evaporation source.

#### Description of the Preferred Embodiment

Referring specifically to FIG. 1, a prior art III-V compound semiconductor wafer 10 is illustrated. Wafer 10 includes a substrate with one or more layers of III-V material epitaxially formed on the upper surface thereof. For purposes of this disclosure the substrate and any epitaxial layers formed thereon will be referred to simply as a compound semiconductor wafer structure, which in FIG. 1 is designated 12. Compound semiconductor wafer structure 12 has a top layer 13 with an upper surface 14. Any exposure of compound semiconductor wafer structure 12 or top layer 13 to ambient conditions (air, processing environments, etc.) results in a layer 15 of native oxide being formed on the surface. Generally, layer 15 is very thin, approximately 16 Å thick. The interface between top layer 13 and native oxide layer 15 is thermodynamically unstable.

c and Fermi level pinned

A compound semiconductor wafer structure 20 formed in accordance with the present invention is illustrated in FIG. 2. Compound semiconductor wafer structure 20 generally includes a substrate with one or more layers of III-V material epitaxially formed on the upper surface thereof, hereafter designated 22. Compound semiconductor wafer structure 20 has as a top layer 23 with an upper surface 24. It will of course be understood that in some specific applications (or on some portions of compound semiconductor wafer structure 20) there may be no epitaxial layers present on the substrate and upper surface 24 may simply be the upper surface of the substrate. An insulating cap layer 25 is thermally evaporated onto surface 24 of compound semiconductor wafer structure 20.

Turning now to FIG. 3, a multi wafer epitaxial production system 30 is illustrated, which is utilized in fabricating compound semiconductor wafer structure 20 of FIG. 2 in accordance with the present invention. System 30 includes a transfer and load module 33, a III-V growth chamber 35 attached to transfer and load module 33, and an insulator chamber 38 attached to transfer and load module 33. Each of chambers 35 and 38 are attached to transfer and load module 32 so that wafers, chips, etc. can be processed in each chamber without removing the wafers, chips, etc. from system 30. Therefore, once a wafer is introduced into system 30 and a vacuum is drawn, the wafer is not subjected to the environment until the process is completed.

Thus, as an example of a process of protecting the surface of a compound semiconductor wafer structure in accordance with the present invention, a compound semiconductor wafer is placed in transfer and load module 33 and the pressure in multi-wafer production system 30 is reduced to  $< 10^{-10}$  Torr. The wafer is then moved to III-V growth chamber 35 and one or more layers of compound semiconductor material are epitaxially

grown on the surface to produce a compound semiconductor wafer structure (e.g. compound semiconductor wafer structure 26). After the growth of top layer 23, compound semiconductor wafer structure 20 is moved to transfer and load module 33 and then to insulator chamber 35. In insulator chamber 35, insulating cap layer 25 is formed on surface 24 of compound semiconductor wafer structure 20 by thermally evaporating insulating material onto wafer structure 20.

In a preferred embodiment of the process, insulating cap layer 25 is thermally evaporated onto surface 24 of wafer structure 20 by thermally evaporating gallium oxide molecules from an effusion cell using an evaporation source in an oxide crucible. The evaporation source is selected from one of polycrystalline  $Ga_2O_3$  having a melting point mpc, single-crystal  $Ga_2O_3$  having a melting point mpc, or a polycrystalline or single-crystal material containing a  $Ga_2O_3$  component having a melting point mpc. The oxide crucible containing the evaporation source is selected from either an oxide crucible with a melting point mp > mpc, which oxide crucible does not exhibit a eutectic alloy with the evaporation source, or an oxide crucible having a eutectic temperature with the evaporation source, which eutectic temperature is higher than the evaporation temperature of the source. Further, the oxide crucible is preferably formed of material having a relatively high bandgap, i.e. generally > 4 eV.

In a specific example, the oxide crucible is formed from one of the following materials: BeO (mp = 2567 °C),  $ZrO_2$  (mp = 2710 °C),  $HfO_2$  (mp = 2774 °C),  $La_2O_3$  (mp = 2303 °C),  $Al_2O_3$  (mp = 2050 °C), or  $TiO_2$  (mp = 3390 °C). Using one of the above materials for the oxide crucible, the evaporation source is polycrystalline or single-crystal  $Ga_2O_3$  or a polycrystalline or single-crystal material containing a  $Ga_2O_3$  component (mpc = 1725 °C). In another specific example, the oxide crucible is formed from one of the following materials:  $ZrO_2$  (mp = 2710 °C),  $HfO_2$

( $m.p. = 2174^{\circ}\text{C}$ ),  $\text{La}_2\text{O}_3$  ( $m.p. = 2363^{\circ}\text{C}$ ),  $\text{Al}_2\text{O}_3$  ( $m.p. = 2056^{\circ}\text{C}$ ), or  $\text{Y}_2\text{O}_3$  ( $m.p. = 3390^{\circ}\text{C}$ ) and the evaporation source includes one of  $\text{Gd}_3\text{Ga}_5\text{O}_{12}$  ( $m.p. = 1700^{\circ}\text{C}$ ) and  $\text{MgGa}_2\text{O}_4$  ( $m.p. = 1796^{\circ}\text{C}$ ).

Thus, compound semiconductor wafer structure 26 is protected from exposure to ambient conditions until insulating cap layer 25 is in place. Because insulating cap layer 25 is formed in system 34 of FIG. 2, the substrate or epitaxial layers are never subjected to ambient conditions and the interface between the substrate or epitaxial layers and insulating cap layer 25 is thermodynamically stable with excellent electrical properties. In the specific example of a compound semiconductor wafer structure with a GaAs surface and a layer of oxide deposited thereon, the GaAs- $\text{Ga}_2\text{O}_3$  interface exhibits monolayer abruptness and the oxide has a surface roughness (rms)  $< 2.5\text{nm}$ . Also, it has been found that there is excellent uniformity of interface state density over a fabricated wafer.

The interface state density is in general comparable or better than prior art densities ( $10^{10}\text{ cm}^{-2}\text{ eV}^{-1}$ ). Further, in the specific example in which  $\text{Gd}_3\text{Ga}_5\text{O}_{12}$  is used as an evaporation source, it has been found that  $\text{Ga}_2\text{O}_3$  films include Gd levels below the detection limit of Selective Ion Mass Spectroscopy (SIMS), as illustrated by the graphical representation of FIG. 4.

The thermally evaporated insulating layer on the wafer structure of the disclosed process replaces the exposed semiconductor surface of prior art epitaxial products and the buried epitaxial semiconductor surface is electrically and chemically stable and exhibits excellent electrical properties. Thus, the improved compound semiconductor wafer structure fabricated in accordance with the novel surface protection process has the following advantages: excellent electrical and chemical properties, passivation and protection of the semiconductor epilayer structure and devices/circuits formed thereon; stability of the excellent electronic

c and chemical surface properties of the semiconductor epilayer structure and devices/circuits formed therein; simplification of device/circuit processing; improved reproducibility and reliability of devices/circuits; and essential parts of the semiconductor surface are not exposed during processing, preserving electrostatic passivation.

These improvements essentially solve or overcome the problems of the prior art, such as die instability and poor reliability, and therefore provide a highly manufacturable process.

While we have shown and described specific embodiments of the present invention, further modifications and improvements will occur to those skilled in the art. We desire it to be understood, therefore, that this invention is not limited to the particular forms shown and we intend in the appended claims to cover all modifications that do not depart from the spirit and scope of this invention.

What is claimed is:

1. A method of protecting the surface of a compound semiconductor wafer structure including the steps of:

providing a compound semiconductor wafer structure (22) with a surface (24); and

forming an insulating cap layer (25) on the surface of the wafer structure by thermally evaporating insulating material onto the wafer structure (22).

2. A method of protecting the surface of a semiconductor wafer comprising the steps of:

providing a multi-wafer epitaxial production system (20) including a transfer and load module (32) with a III V growth chamber (35) at a

ched and an insulator chamber (38) attached;

providing a compound semiconductor wafer (22) with a surface;

placing the compound semiconductor wafer (22) in the transfer and load module (33);

reducing the pressure in the multi-wafer production system (36) to  $< 10^{-10}$  Torr;

moving the compound semiconductor wafer (22) to the III-V growth chamber (35) and epitaxially growing layers (23) of compound semiconductor material on the surface of the compound semiconductor wafer (22); and

moving the compound semiconductor wafer (22) to the transfer and load module (33) and then to the insulator chamber (38) and forming an insulating cap layer (25) by thermally evaporating material onto the layer (23) of compound semiconductor material.

3. A method of protecting the surface of a semiconductor wafer comprising the steps of:

providing a multi-wafer epitaxial production system (36) including a transfer and load module (33) with a III-V growth chamber (35) attached and an insulator chamber (38) attached;

providing a compound semiconductor wafer (22) with a surface;

placing the compound semiconductor wafer (22) in the transfer and load module (33);

reducing the pressure in the multi-wafer production system (36) to  $< 10^{-10}$  Torr;

moving the compound semiconductor wafer (22) to the III-V growth chamber (35) and epitaxially growing layers (23) of compound semiconductor material on the surface of the compound semiconductor wafer (22);

moving the compound semiconductor wafer (22) to the transfer and



load module (35) and then to the insulator chamber (38), without removing the compound semiconductor wafer (22) from the multi-wafer epitaxial production system (36); and

forming an insulating cap layer (25) by thermally evaporating gallium oxide molecules from an effusion cell using an evaporation source of one of polycrystalline  $Ga_2O_3$  having a melting point mpc, single-crystal  $Ga_2O_3$  having a melting point mpc, and a polycrystalline or single-crystal containing a  $Ga_2O_3$  component having a melting point mpc, and an oxide crucible containing the evaporation source, the oxide crucible being one of an oxide crucible with a melting point  $mp > mpc$  which oxide crucible does not exhibit an eutectic alloy with the evaporation source and an oxide crucible having a eutectic temperature with the evaporation source, which eutectic temperature is higher than the evaporation temperature of the source.

4. A compound semiconductor wafer structure (22) with a surface (24) and an insulating cap layer (25) thermally evaporated onto the surface (24) of the compound semiconductor wafer structure (22).

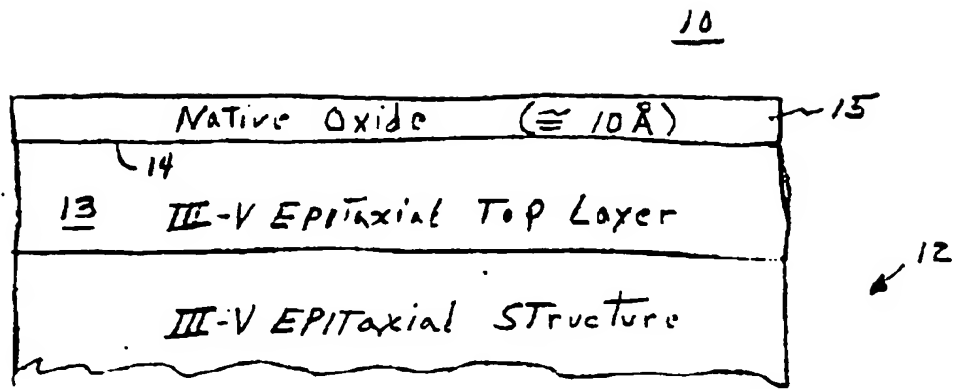


FIG. 1

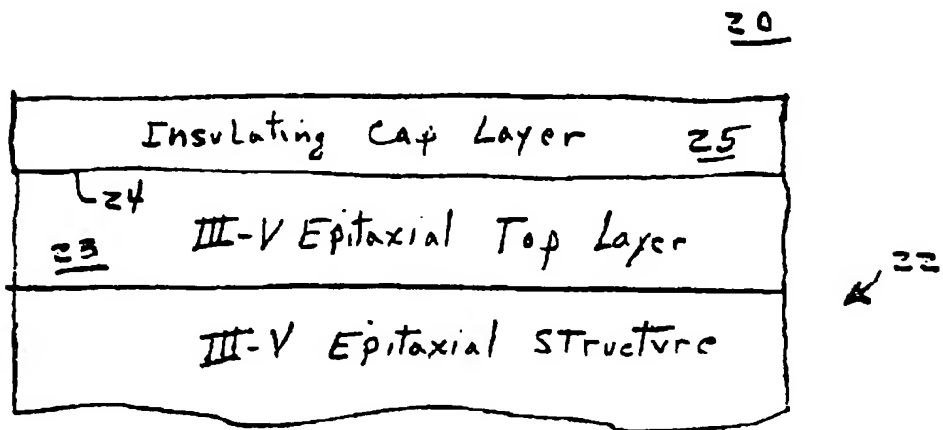


FIG. 2

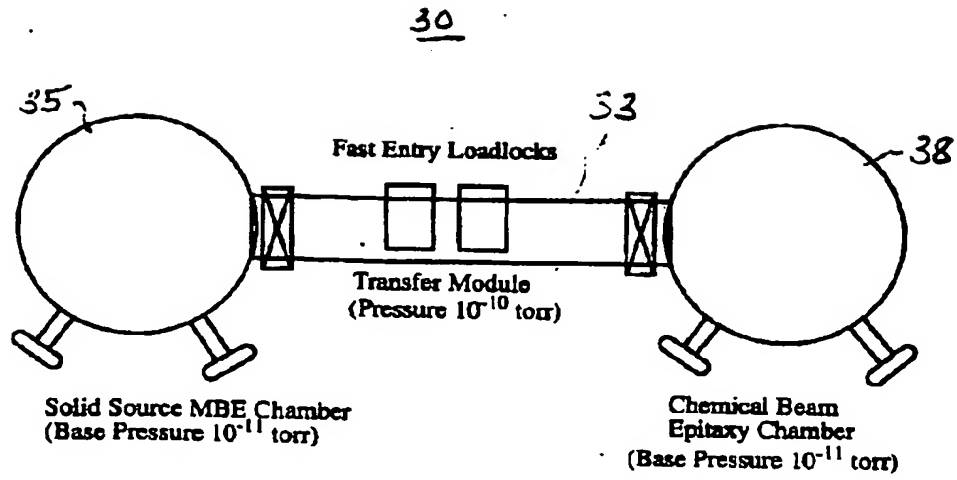
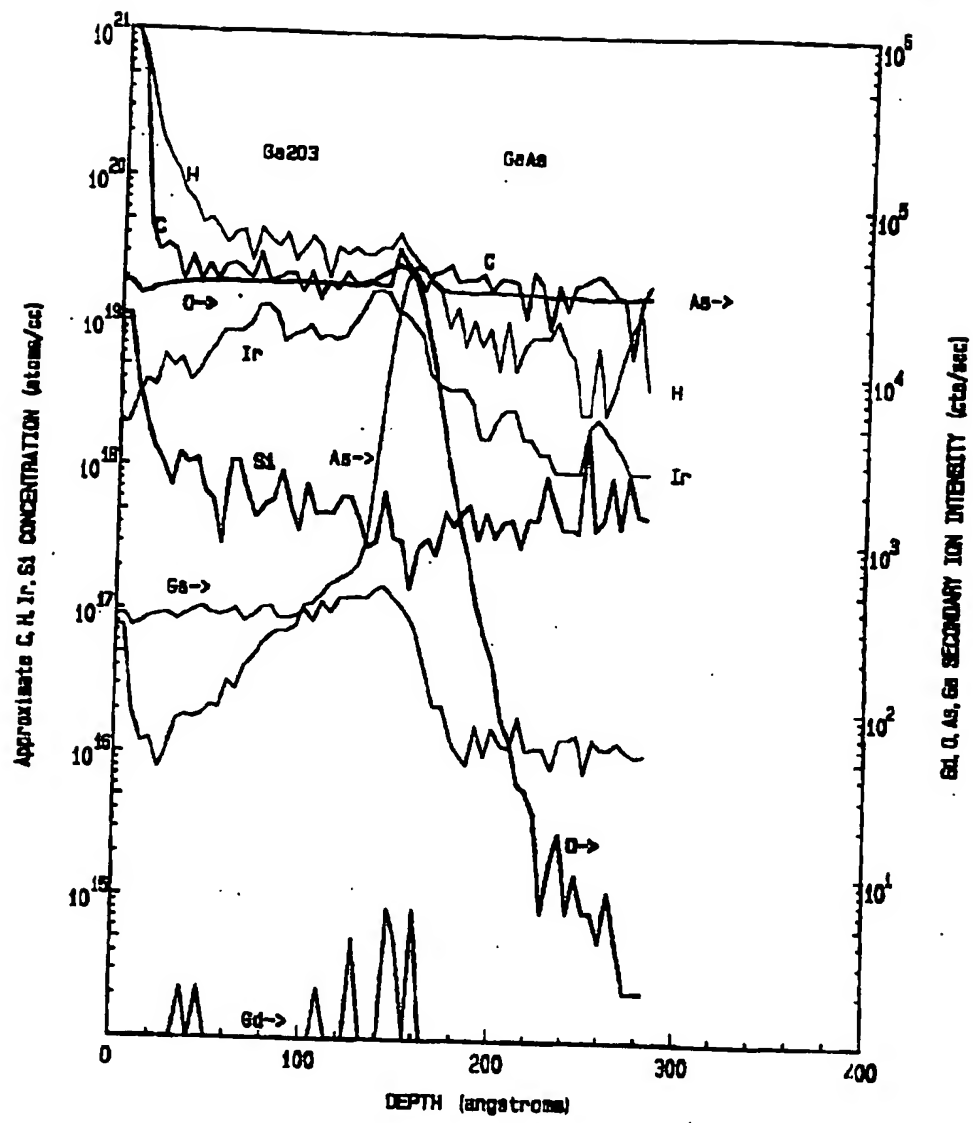


FIG. 3



## Abstract of the Disclosure

A production process for protecting the surface (24) of compound semiconductor wafers (22) includes providing a multi-wafer epitaxial production system (30) with a transfer and load module (33), a III-V growth chamber (35) and an insulator chamber (36). The wafer (22) is placed in the transfer and load module (33) and the pressure is reduced to  $< 10^{-10}$  Torr, after which the wafer (22) is moved to the III-V growth chamber (35) and layers (23) of compound semiconductor material are epitaxially grown on the surface of the wafer (22). The wafer (22) is then moved through the transfer and load module (33) to the insulator chamber (36) and an insulating cap layer (25) is formed by thermally evaporating gallium oxide molecules from an effusion cell using an evaporation source in an oxide crucible, which oxide crucible does not form an eutectic alloy with the evaporation source.